



PATENT ABSTRACTS OF JAPAN

(21) Application number: 11064430

(22) Application date: 11.03.99

(51) Intl. Cl.: H01L 21/768 H01L 21/28

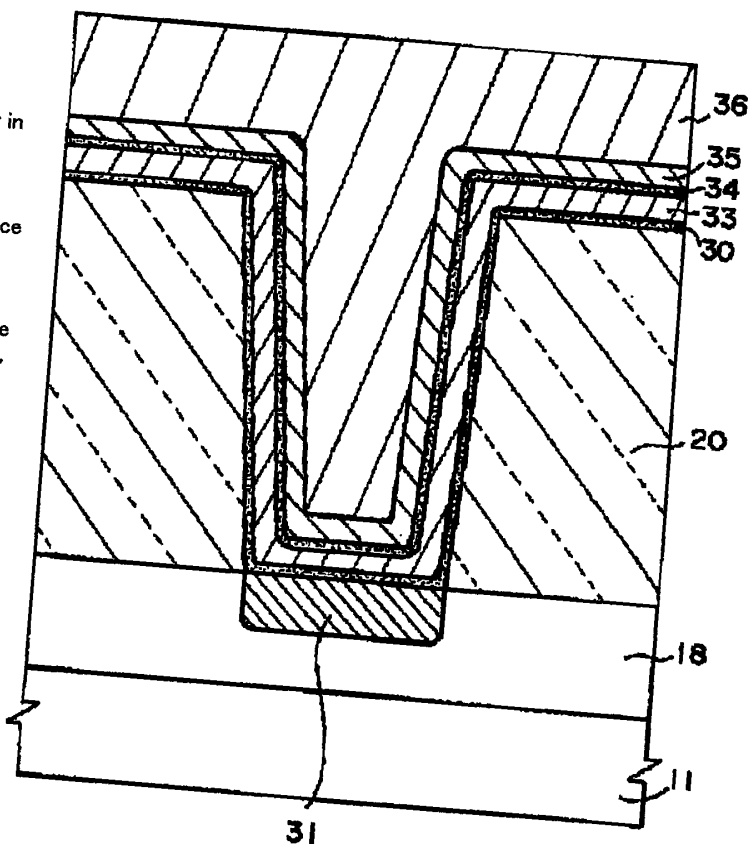
(30) Priority:	20.10.98 JP 10298927	(71) Applicant: SEIKO EPSON CORP
(43) Date of application publication:	14.07.00	(72) Inventor: ASAHINA MICHIO MATSUMOTO KAZUMI MORIYA NAOHIRO SUZUKI EIJI
(84) Designated contracting states:		(74) Representative:

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which has a barrier layer superior in barrier property and its manufacture.

SOLUTION: A semiconductor device has a semiconductor substrate 11 which includes an element, interlayer insulating layers (silicon oxide layer and a BPSG layer) made on the semiconductor substrate 11, a through-hole made in the interlayer insulating layer, a barrier layer made on the interlayer insulating layer and the through-hole, and a wiring layer made on the barrier layer. The barrier layer has a first metal oxide layer (titanium oxide layer) 30 consisting of the oxide of the metal constituting the barrier layer, a metal nitride layer (titanium nitride layer) 33 consisting of the nitride of the metal constituting the barrier layer, and a second metal oxide layer (titanium oxide layer) 34 which consists of the oxide of the metal constituting the barrier layer.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-195954
(P2000-195954A)

(43) 公開日 平成12年7月14日 (2000.7.14)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 21/768		H 0 1 L 21/90	C 4 M 1 0 4
21/28	3 0 1	21/28	3 0 1 R 5 F 0 3 3

審査請求 未請求 請求項の数16 O L (全 11 頁)

(21) 出願番号 特願平11-64430

(22) 出願日 平成11年3月11日 (1999.3.11)

(31) 優先権主張番号 特願平10-298927

(32) 優先日 平成10年10月20日 (1998.10.20)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72) 発明者 朝比奈 通雄

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 松本 和己

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100090479

弁理士 井上 一 (外2名)

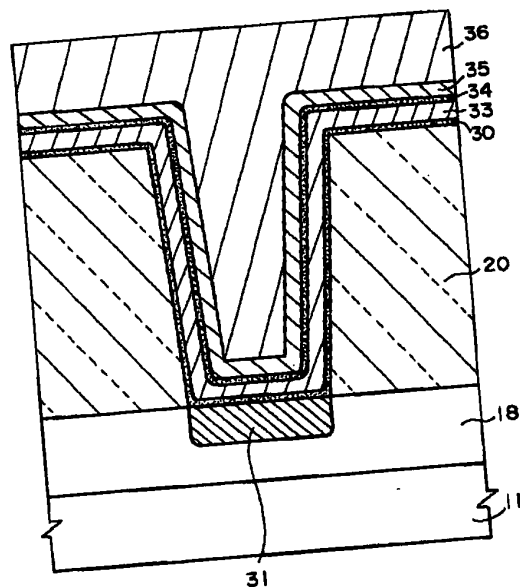
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 バリア性が優れたバリア層を有する半導体装置およびその製造方法を提供する。

【解決手段】 半導体装置は、素子を含む半導体基板11、半導体基板11の上に形成された層間絶縁層(シリコン酸化層、BPSG層)、層間絶縁層に形成されたスルーホール、層間絶縁層およびスルーホールの表面に形成されたバリア層、およびバリア層の上に形成された配線層40を有する。バリア層は、該バリア層を構成する金属の酸化物からなる第1の金属酸化物層(酸化チタン層)30、該バリア層を構成する金属の窒化物からなる金属窒化物層(窒化チタン層)33、および該バリア層を構成する金属の酸化物からなる第2の金属酸化物層(酸化チタン層)34を有する。



【特許請求の範囲】

【請求項1】 素子を含む半導体基板、

前記半導体基板の上に形成された層間絶縁層、

前記層間絶縁層に形成されたスルーホール、

前記層間絶縁層および前記スルーホールの表面に形成されたバリア層、および前記バリア層の上に形成された配線層、を含み、

前記バリア層は、

該バリア層を構成する金属の酸化物からなる金属酸化物層、および該バリア層を構成する金属の窒化物からなる金属窒化物層を含む、半導体装置。

【請求項2】 請求項1において、

前記バリア層は、

該バリア層を構成する金属の酸化物からなる第1の金属酸化物層、

該バリア層を構成する金属の窒化物からなる金属窒化物層、および該バリア層を構成する金属の酸化物からなる第2の金属酸化物層、を含む、半導体装置。

【請求項3】 請求項1または2において、

前記バリア層を構成するための金属は、チタン、コバルト、ルテニウム、モリブデン、ハフニウム、ニオブ、バナジウム、タンタルおよびタングステンから選択される少なくとも1種を含む、半導体装置。

【請求項4】 請求項1ないし3のいずれかにおいて、前記バリア層を構成する第1および第2の金属酸化物層は、アモルファスをなす、半導体装置。

【請求項5】 請求項1ないし4のいずれかにおいて、前記バリア層を構成する第1の金属酸化物層は、その膜厚が5～30nmである、半導体装置。

【請求項6】 請求項1ないし5のいずれかにおいて、前記バリア層を構成する第2の金属酸化物層は、その膜厚が5～30nmである、半導体装置。

【請求項7】 請求項1ないし6のいずれかにおいて、前記配線層は、アルミニウムあるいはアルミニウムを主成分とする合金からなる、半導体装置。

【請求項8】 素子を含む半導体基板の上に形成された層間絶縁層にスルーホールを形成する工程、前記層間絶縁層および前記スルーホールの表面にバリア層を形成する工程、および前記バリア層の上に配線層を形成する工程、を含み、

前記バリア層を形成する工程は、以下の工程(a)～(d)を含む、半導体装置の製造方法。

(a) 前記バリア層を構成するための金属層を形成する工程、(b) 水素雰囲気中で熱処理することにより、前記金属層を水素合金化あるいは水素吸蔵化させる工程、

(c) 酸素を含む雰囲気中で、前記金属層と酸素とを接触させる工程、および(d) 窒素雰囲気中で熱処理することにより、金属酸化物層および金属窒化物層を形成する工程。

【請求項9】 請求項8において、

前記バリア層は、

該バリア層を構成する金属の酸化物からなる第1の金属酸化物層、

該バリア層を構成する金属の窒化物からなる金属窒化物層、および該バリア層を構成する金属の酸化物からなる第2の金属酸化物層、

を含む、半導体装置の製造方法。

【請求項10】 請求項8または9において、

前記工程(b)において、前記熱処理は200～800℃で行われる、半導体装置の製造方法。

【請求項11】 請求項8ないし10のいずれかにおいて、

前記工程(c)において、前記酸素を含む雰囲気は、少なくとも酸素が10体積%含まれる、半導体装置の製造方法。

【請求項12】 請求項8ないし11のいずれかにおいて、

前記工程(d)において、前記熱処理は600～900℃で行われる、半導体装置の製造方法。

【請求項13】 請求項8ないし12のいずれかにおいて、

前記工程(d)において、前記窒素雰囲気は常圧状態である、半導体装置の製造方法。

【請求項14】 請求項8ないし13のいずれかにおいて、

前記バリア層を形成するための金属は、チタン、コバルト、ルテニウム、モリブデン、ハフニウム、ニオブ、バナジウム、タンタルおよびタングステンから選択される少なくとも1種を含む、半導体装置の製造方法。

【請求項15】 請求項8ないし14のいずれかにおいて、

前記バリア層を形成するための金属層は、その膜厚が50～150nmである、半導体装置の製造方法。

【請求項16】 請求項8ないし15のいずれかにおいて、

前記配線層は、アルミニウムあるいはアルミニウムを主成分とする合金からなる、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、特に微細化されたコンタクト部においてバリア性に優れた半導体装置およびその製造方法に関する。

【0002】

【背景技術】LSIの素子の微細化、高密度化および多層化に伴い、微細でアスペクト比の大きいスルーホールでの配線材料の埋め込み技術が重要な課題となっている。従来、例えば、0.5μm以下の口径サイズおよびアスペクト比が2以上のコンタクト部においては、スル

一ホールにタングステンプラグを挿入して、スルーホールを塞ぐとともに配線層のアルミニウムとシリコン基板のシリコンとの反応を防止している。しかし、このコンタクト構造では、タングステンの電気的抵抗が大きいこと、エレクトロマイグレーション耐性の劣化が生じやすいこと、および工程が複雑なことから生ずる歩留まりの低下などの問題がある。そこで、電気的抵抗が小さく、タングステンプラグのように複雑な埋め込み工程を必要としない、スルーホールへのアルミニウムの埋め込み技術の導入が検討されている。

【0003】しかし、アルミニウムを用いたコンタクト部では、アルミニウムとシリコン基板のシリコンとの反応によるジャンクションリークの対策を完璧に行なう必要があり、バリア層のバリア性が高いことが要求される。

【0004】バリア層としては、例えば、窒素雰囲気中での反応性スパッタ法で形成された、窒化チタンなどの高融点金属の窒化物層が用いられている。このようなバリア層は、以下のような問題を有している。

【0005】①窒素雰囲気中での反応性スパッタ法で形成された窒化チタン層は、カバレッジ性が不十分であることから、微細で高いアスペクト比のスルーホールの底部でのカバレッジが十分でないこと。

【0006】②窒素雰囲気中での反応性スパッタ法で形成された窒化チタン層は、膜のストレスが大きい、マイクロクラックが生じやすく、その結果、配線材料のアルミニウムが拡散してジャンクションリークが発生しやすいこと。

【0007】③窒素雰囲気中での反応性スパッタ法により形成された窒化チタン層は、柱状結晶のため、結晶粒界を介してアルミニウムが拡散してジャンクションリークが生じやすいこと。

【0008】④柱状結晶の窒化チタン層の配向によりアルミニウム層の〈111〉配向が決定されるが、窒化チタンの結晶配向が必ずしも均一でないことからアルミニウム層の〈111〉配向の面方位の違いにより、アルミニウム層の表面荒れが生じ、このアルミニウム層のフォトリソグラフィでのアライメントが困難となること。

【0009】⑤さらに、窒素雰囲気中での反応性スパッタ法により形成された窒化チタン層は、その膜ストレスのため成膜中に剥離を生ずることがあり、パーティクルを生じやすく、このパーティクルによるウエハ表面の汚染によりパーティクルショートが生じ、歩留まりの低下の原因となっていること。

【0010】

【発明が解決しようとする課題】本発明の目的は、例えばハーフミクロン以下の微細なコンタクト部での導電材料の埋め込みが良好に行なわれ、かつジャンクションリークがなく高いバリア性を有する、半導体装置およびその製造方法を提供することにある。

【0011】

【課題を解決するための手段】本発明に係る半導体装置は、素子を含む半導体基板、前記半導体基板の上に形成された層間絶縁層、前記層間絶縁層に形成されたスルーホール、前記層間絶縁層および前記スルーホールの表面に形成されたバリア層、および前記バリア層の上に形成された配線層、を含み、前記バリア層は、該バリア層を構成する金属の窒化物からなる金属窒化物層、および該バリア層を構成する金属の酸化物からなる金属酸化物層を含む。

【0012】この半導体装置によれば、バリア層は、金属窒化物層に加え、金属酸化物層を含み、高い導電性を確保しながら優れたバリア性を有する。

【0013】前記バリア層は、該バリア層を構成する金属の酸化物からなる第1の金属酸化物層、該バリア層を構成する金属の窒化物からなる金属窒化物層、および該バリア層を構成する金属の酸化物からなる第2の金属酸化物層、を含むことが望ましい。

【0014】そして、前記バリア層を構成する第1および第2の金属酸化物層は、高いバリア性を得るために、アモルファスをなすことが望ましい。

【0015】前記バリア層を構成する第1の金属酸化物層は、バリア性および導電性を考慮すると、その膜厚が5~30nmであることが望ましい。同様に、前記バリア層を構成する第2の金属酸化物層は、その膜厚が5~30nmであることが望ましい。これらの金属酸化物層は、連続していてもよく、あるいは不連続であってもよい。

【0016】前記配線層は、アルミニウムあるいはアルミニウムを主成分とする合金からなることが望ましい。前記配線層の材料としては、これらのアルミニウムあるいはアルミニウム合金の他にも、銅、金、白金などを用いることができる。また、必要に応じて、スルーホールの埋め込み材としてタングステンプラグを用いてもよい。

【0017】本発明に係る半導体装置は、素子を含む半導体基板の上に形成された層間絶縁層にスルーホールを形成する工程、前記層間絶縁層および前記スルーホールの表面にバリア層を形成する工程、および前記バリア層の上に配線層を形成する工程、を含み、前記バリア層を形成する工程は、以下の工程(a)~(d)を含む製造方法によって形成される。

(a) 前記バリア層を構成するための金属層を形成する工程、(b) 水素雰囲気中で熱処理することにより、前記金属層を水素合金化あるいは水素吸蔵化させる工程、

(c) 酸素を含む雰囲気中で、前記金属層と酸素とを接触させる工程、および(d) 窒素雰囲気中で熱処理することにより、金属酸化物層および金属窒化物層を形成する工程。

【0018】この製造方法においては、前記バリア層は、金属酸化物層および金属窒化物層を含んで形成さ

10

20

30

40

50

れ、さらに詳細には、前記バリア層は、該バリア層を構成する金属の酸化物からなる第1の金属酸化物層、該バリア層を構成する金属の窒化物からなる金属窒化物層、および該バリア層を構成する金属の酸化物からなる第2の金属酸化物層、を含んで形成される。

【0019】本発明の製造方法によれば、工程(a)においては、スパッタ法やCVD法などによって単一の金属層を形成し、その後工程(d)で金属窒化物層を形成するので、例えばスパッタ法で直接金属窒化物層を形成する場合に比べて、密着性およびスルーホール底部でのカバレッジが良好な成膜ができる。また、工程(a)で金属層を形成した後、工程(b)において、該金属層を水素合金化あるいは水素吸蔵化させることにより、その後の熱処理で半導体基板のシリコンと金属層の金属との反応がある程度抑制される。その結果、工程(d)における金属の窒化反応および酸化反応が確実に行われ、金属窒化物層および金属酸化物層が形成される。そして、金属酸化物層が存在することにより、バリア層のバリア性が飛躍的に向上し、かつ、バリア層の導電性も確保されることが確認されている。

【0020】前記金属酸化物層が金属窒化物層を介在させて第1および第2の2層で形成される理由は、必ずしも明らかではないが以下のように考えられる。つまり、工程(a)で形成される金属層に酸素が吸蔵されており、さらに工程(c)で金属層と酸素とを接触させることにより、酸素が金属層の中および表面に導入される。そして、工程(b)の熱処理で、第1の金属酸化物層の一部が形成され、工程(d)の熱処理で、さらに第1の金属酸化物層の形成が進むとともに、金属窒化物層および第2の金属酸化物層が形成される。

【0021】前記工程(b)において、前記熱処理は、前記金属層を十分に水素合金化あるいは水素吸蔵化させるために、200〜800℃で行われることが望ましい。また、水素雰囲気での水素の割合は、処理温度にも依存するが、1〜100%であることが望ましい。

【0022】前記工程(c)において、前記酸素を含む雰囲気は、少なくとも酸素が10%、好ましくは10〜30%含まれることが望ましい。この工程では、前記工程(b)で水素合金化あるいは水素吸蔵化された金属層の表面に酸素が接触すればよい。

【0023】前記工程(d)において、前記熱処理は、水素が脱離し、かつ前記金属層の窒化と酸化が行われるために、600〜900℃で行われることが望ましい。そして、前記工程(d)では、雰囲気中の圧力は特に限定されないが、常圧であることが望ましい。

【0024】前記バリア層を形成するための金属は、バリア性および導電性を考慮すると、チタン、コバルト、ルテニウム、モリブデン、ハフニウム、ニオブ、バナジウム、タンタルおよびタングステンから選択される少なくとも1種を含むことが望ましい。

【0025】前記バリア層を形成するための金属層は、その後の工程で形成される金属窒化物層および金属酸化物層の膜厚を考慮すると、その膜厚が50〜150nmであることが望ましい。

【0026】

【発明の実施の形態】図1〜図6は、本発明に係る半導体装置の製造方法を示し、図7は半導体装置の一実施の形態を説明するための概略断面図である。

【0027】以下に、半導体装置の製造方法の一例を示す。

【0028】(素子の形成)まず、図1に示すように、一般的に用いられる方法によって、シリコン基板11にMOS素子が形成される。具体的には、例えば、シリコン基板11上に選択酸化によってフィールド絶縁層12が形成され、アクティブ領域にゲート酸化層13が形成される。チャネル注入により、しきい値電圧を調整した後、モノシラン(SiH₄)を熱分解して成長させたポリシリコン層14の上にタングステンシリサイド層15がスパッタされ、さらに所定パターンにエッチングすることにより、ゲート電極19が形成される。

【0029】次いで、リンをイオン注入することによりソース領域あるいはドレイン領域の低濃度不純物層16が形成される。次いで、ゲート電極19のサイドにシリコン酸化膜からなる側壁スペーサ17が形成された後、ヒ素をイオン注入し、ハロゲンランプを用いたアニール処理によって不純物の活性化を行うことにより、ソース領域あるいはドレイン領域の高濃度不純物層18が形成される。

【0030】(層間絶縁層の形成)次に、図2に示すように、層間絶縁層20のベース層として、まず、テトラエトキシラン(TEOS)と酸素とをプラズマ反応させることにより、膜厚100〜200nmのシリコン酸化層(図示せず)が形成される。このシリコン酸化層は、カスピングもなく、SiH₄から成長させた膜より絶縁性も高くフッ化水素の水溶液に対するエッチング速度も遅く、緻密な膜となる。

【0031】次に、層間絶縁層20の平坦化層として、前記シリコン酸化層上に、SiH₄あるいはTEOSなどのシラン化合物と、酸素やオゾン等と、リンおよびホウ素とを含むガスを気相反応させることにより、膜厚数百nm〜1μm位のBPSG層(図示せず)が形成される。その後、窒素雰囲気中で800〜900℃のアニールを行い、高温フローによる平坦化を行う。なお、BPSG層の高温フローを行う代わりに、一般的に用いられるSOG膜を用いて平坦化を行うこともできる。

【0032】さらに、前記BPSG層の代わりに、本出願の出願人による特許願(たとえば特願平9-314518号)に記載された、シリコン化合物と過酸化水素とを化学気相成長法によって反応させて形成されるシリコン酸化層を用いてもよい。このシリコン酸化層は、それ

自体で高い流動性を有し、優れた自己平坦化特性を有する。そのメカニズムは、シリコン化合物と過酸化水素とを化学気相成長法によって反応させると、気相中においてシラノールが形成され、このシラノールがウエハ表面に堆積することにより流動性のよい膜が形成されることによると考えられる。

【0033】前記シリコン化合物としては、例えばモノシラン、ジシラン、 SiH_2Cl_2 、 SiF_4 などの無機シリコン化合物、および CH_3SiH_3 、トリプロピルシラン、テトラエトキシシランなどの有機シリコン化合物など 10

【0034】また、このシリコン酸化層の成膜工程は、前記シリコン化合物が無機シリコン化合物の場合には、 $0\sim 20^\circ\text{C}$ の温度条件下で、前記シリコン化合物が有機シリコン化合物の場合には、 $100\sim 150^\circ\text{C}$ の温度条件下で、減圧化学気相成長法によって行われることが望ましい。

【0035】(スルーホール形成) 次いで、図2に示すように、 CHF_3 と CF_4 とを主ガスとした反応性イオンエッチャーで層間絶縁層20を構成するBPSG層 20

(平坦化層) およびシリコン酸化層(ベース層)を選択的に異方性エッチングすることにより、口径が $0.2\sim 0.5\mu\text{m}$ 、アスペクト比が2~5のスルーホール22が形成される。

【0036】(バリア層の成膜)

(a) 金属層の形成

まず、図3に示すように、ターゲットとウエハとの距離が $150\sim 320\text{mm}$ の超ロングスロースパッタ装置で、層間絶縁層20およびスルーホール22の表面に膜厚 $50\sim 150\text{nm}$ のチタン層29を形成する。スルーホール22の底部におけるチタン層29の膜厚はおよそ $15\sim 80\text{nm}$ であり、また、チタン層29のスルーホール22でのカバレッジも良好で、スルーホールの上部におけるせり出しもほとんどない。このように超ロングスロースパッタによってチタン層29を形成することにより、スルーホール上部で、ウェッティング層を構成する金属と埋込み層を構成するアルミニウムとが反応して、スルーホールを塞いでしまうピンチオフ現象を生じにくい。

【0037】バリア層を形成するための金属としては、40 チタンの他に、コバルト、ルテニウム、モリブデン、ハフニウム、ニオブ、タンタル、タングステンなども用いることができる。

【0038】(b) 水素雰囲気中での熱処理

次いで、 100% の水素雰囲気中で、 $200\sim 800^\circ\text{C}$ で、かつ $20\sim 60$ 分にわたってウエハをアニール処理する。この工程で、チタン層29は水素合金化あるいは水素吸蔵化される。すなわち、チタンの場合を例にとると、図4に示すように、例えば 400°C で20分間のアニールにより、チタン層に10原子%以上の水素が吸蔵 50

され、 TiH_x 合金層32が形成されるとともに、シリコン基板11との境界領域ではチタンとシリコンとの反応が起こり、チタンシリサイド層31が形成される。さらに、チタン層29の最表面には、酸素が含まれる酸素リッチ層が形成される。

【0039】この工程(b)において、金属層を水素合金化あるいは水素吸蔵化させることにより、アニール処理で半導体基板のシリコンと金属層を構成するチタンとの反応がある程度抑制される。その結果、後の工程

(d)における金属の窒化反応および酸化反応が確実に行われ、金属窒化物層および金属酸化物層が形成される。

【0040】(c) 次いで、ウエハを酸素を含む雰囲気、例えば大気中に置くことにより、 TiH_x 合金層32と酸素とを接触させる。この工程により、 TiH_x 合金層32の表面に酸素が吸着される。

【0041】この工程では、ウエハを大気中に置く代わりに、酸素を $10\sim 30$ 体積%の濃度で含む雰囲気中に存在させてもよい。

【0042】(d) 次いで、常圧の窒素雰囲気中で、 $600\sim 800^\circ\text{C}$ で $10\sim 60$ 秒にわたって、ランプアニールによる熱処理を行なうことにより、さらに金属の窒化とシリサイド化と酸化とを行なう。この工程では、 TiH_x 合金層32中の水素はほとんど脱離し、図5に示すように、チタンと窒素との反応による窒化チタン層33、チタンとシリコン基板11のシリコンとの反応によるチタンシリサイド層31とが形成される。これとともに、図7に拡大して示すように、チタンシリサイド層31と窒化チタン層33との境界領域に第1の酸化チタン層(第1の金属酸化物層)30が、窒化チタン層33の表面に第2の酸化チタン層(第2の金属酸化物層)34が形成される。第1の酸化チタン層(第1の金属酸化物層)30は、アモルファスの状態をなしていることが確認された。また、第2の酸化チタン層34は、窒化チタン層33の表面に不連続に形成され、やはりアモルファスの状態をなしていることが確認された。

【0043】バリア層を構成する第1の酸化チタン層は、バリア性および導電性を考慮すると、その膜厚が $5\sim 30\text{nm}$ であることが望ましい。同様に、バリア層を構成する第2の酸化チタン層は、その膜厚が $5\sim 30\text{nm}$ であることが望ましい。

【0044】これらの第1および第2の酸化チタン層30、34により、バリア層は優れたバリア機能を有する。また、第1および第2の酸化チタン層30、34の膜厚、ランプアニールの温度などが制御されることにより、バリア層における導電性も十分に確保される。

【0045】以上の工程によって、バリア層は、少なくとも、第1の酸化チタン層30、窒化チタン層33および第2の酸化チタン層34を有する。

【0046】上記工程(a)~(d)の後に、必要に応

じて、酸素プラズマ処理を行うことができる。この酸素プラズマ処理は、 $0.1 \times 10^2 \sim 1.5 \times 10^2$ Pa の圧力で酸素プラズマ中に $10 \sim 100$ 秒間さらし、次いで、 $450 \sim 700^\circ\text{C}$ の窒素または水素雰囲気中で $10 \sim 60$ 分間にわたってアニール処理することにより行われる。この酸素プラズマ処理により、バリア層の窒化チタン層中に酸化チタンを島状に形成することができる。そして、この処理によりバリア層のバリア性をさらに向上させることができることを確認している。

【0047】また、バリア層中に酸化チタンを島状に形成する方法としては、少なくとも数百 ppm ～ 数% の酸素を含むランプアニール炉における $400 \sim 800^\circ\text{C}$ の熱処理によっても行うことができ、同様にバリア層のバリア性をさらに向上させることができる。

【0048】(脱ガス処理) 次に、脱ガス工程を含む熱処理について説明する。

【0049】まず、ランプチャンバで、 1.5×10^{-4} Pa 以下のベース圧力、 $150 \sim 250^\circ\text{C}$ の温度で $30 \sim 60$ 秒間のランプ加熱(熱処理A)を施す。次いで、別のチャンバで $1 \times 10^{-1} \sim 15 \times 10^{-1}$ Pa の圧力でアルゴンガスを導入し、 $300 \sim 550^\circ\text{C}$ の温度で、 $30 \sim 120$ 秒間の熱処理(脱ガス工程；熱処理B)を行うことによって、脱ガス処理を行う。

【0050】この工程においては、まず、熱処理Aにおいて、主として、ウエハの裏面および側面を含むウエハ全体を加熱処理することにより、ウエハに付着している水分などを除去できる。

【0051】さらに、熱処理Bにおいて、主として、層間絶縁層20を構成するBPSG層などの平坦化層中のガス化成分(酸素、水素、水、チッ素)を除去することができる。その結果、次工程のアルミニウム膜の形成時に、BPSG層からのガス化成分の発生が防止できる。

【0052】バリア層は数十原子%のガス化成分(酸素、水素、水、チッ素)を固溶することから、バリア層の形成後に、層間絶縁層20中のガス化成分を除去することが、スルーホール内でのアルミニウム膜の成膜を良好に行う上で、極めて有効である。バリア層の下位の平坦化層中のガス化成分を十分に除去しておかないと、バリア層の形成時の温度(通常、 300°C 以上)で、平坦化層中のガス化成分が放出され、このガスがバリア層中に取り込まれる。さらに、このガスがアルミニウム膜の成膜時にバリア層から離脱してバリア層とアルミニウム膜との界面に出てくるため、アルミニウム膜の密着性や流動性に悪影響を与えることがある。

【0053】(ウェットティング層の形成) さらに、必要に応じて、チタン、ニオブ、タングステンなどの金属を常温で $20 \sim 50$ nm の膜厚で成膜し、ウェットティング層35を形成する。

【0054】(アルミニウム層の成膜前の熱処理およびウエハの冷却) まず、ウエハの冷却を行う前に、ランプ

チャンバ内において、 1.5×10^{-4} Pa 以下のベース圧力、 $150 \sim 250^\circ\text{C}$ の温度で $30 \sim 60$ 秒間の熱処理(熱処理C)を行い、基板に付着した水などの物質を除去する。その後、アルミニウム層を成膜する前に、基板温度を 100°C 以下、好ましくは常温 $\sim 50^\circ\text{C}$ の温度に下げる。この冷却工程は、上記熱処理Cにより上昇した基板温度を下げるために重要なもので、例えば水冷機能を有するステージ上にウエハを載置して該ウエハ温度を所定温度まで下げる。

【0055】このようにウエハの冷却を行うことにより、第1のアルミニウム層を成膜する際に、層間絶縁層20およびバリア層、さらにウエハ全面から放出されるガス量を極力少なくすることができる。その結果、バリア層とアルミニウム層36との界面に吸着する、カパレッジ性や密着性に有害なガスの影響を防ぐことができる。

【0056】この冷却工程は、同一の構成のチャンバを複数有する、アルミニウム層を成膜するためのスパッタ装置を兼用して行われることが望ましい。例えばスパッタ装置内における水冷機能を有するステージ上に基板を載置して該基板温度を所定温度まで下げることが望ましい。

【0057】図9(a)は、水冷機能を有するステージを含むスパッタ装置の一例の模式図を、図9(b)は、ステージの一例の平面図を示す。

【0058】このスパッタ装置は、同一の構成のチャンバ50を複数備えたものである。チャンバ50内に、電極をかねるターゲット51およびステージをかねる電極52を有し、電極52上には冷却される基板(ウエハ)Wが設置されるように構成されている。チャンバ50には、チャンバ内を減圧状態にするための排気手段60およびアルミニウムをスパッタリングする際にガスをチャンバ内に供給する第1のガス供給路53が設けられている。電極52は、ウエハWを電極52上に載置した際に、電極52とウエハWとの間に所定の空間が生じるように、具体的には図9(b)のように、電極52の上面の外周部分に沿って、突起状の支持部52aが設けられている。さらに、電極52には、第2のガス供給路54が接続されている。そして、熱伝導媒体としてのガス、たとえばアルゴンガスは、第2のガス供給路54から、電極52とウエハWとの間の空間に供給される。また、電極52は、ウエハWを冷却するための冷却システムの役割も兼務している。電極52は、冷媒供給路56から供給される冷媒、たとえば水の還流により一定温度に調節される。電極52の上面は、たとえば図9(b)に示すように、前記空間に均一にガスを供給させるため、所定のパターンで溝58が形成され、溝が交差する部分に第2のガス供給路54の吹き出し口54aが設けられている。

【0059】上記のスパッタ装置は、例えば以下のように

に動作して、ウエハを冷却する。

【0060】チャンバ50内を排気手段60により 6×10^{-6} Pa以下の減圧状態として、電極52の支持部52a上にウエハWを載置する。電極52とウエハW間の熱伝導媒体としての役割を果たすガスを、第2のガス供給路54から、電極52とウエハWとの間の空間に導入し、該空間の圧力を600～1000 Paに保ち、かつ、該空間からチャンバ内に漏出したガスを排気手段60で排気しながら、ウエハWを冷却する。

【0061】（アルミニウム層の成膜）まず、図6に示すように、200℃以下、より好ましくは30～100℃の温度で、0.2～1.0重量%の銅を含むアルミニウムを膜厚150～300 nmでスパッタによって高速度で成膜し、第1のアルミニウム層36aが形成される。この成膜工程では、ターゲットとウエハとの距離は40～200 mmに設定されることが望ましい。続いて、同一チャンバ内で基板温度350～460℃に加熱して、同様に銅を含むアルミニウムをスパッタにより低速度で成膜し、膜厚300～600 nmの第2のアルミニウム層36bが形成される。この成膜工程では、ターゲットとウエハとの距離は40～200 mmに設定されることが望ましい。ここで、アルミニウム層36の成膜において、「高速度」とは、成膜条件や製造されるデバイスの設計事項によって一概に規定できないが、おおよそ10 nm/秒以上のスパッタ速度を意味し、「低速度」とは、おおよそ3 nm/秒以下のスパッタ速度を意味する。

【0062】アルミニウムのスパッタは、前述のウエハの冷却の際に用いられた、図9に示すスパッタ装置内で行われることが望ましい。このように、減圧状態が保たれた同一の装置内で冷却工程およびアルミニウムの成膜の工程を行うことにより、基板の移動および設置の工程の減少が図られ、その結果、工程の簡便化および基板の汚染を防止することができる。

【0063】ここで、図9に示すスパッタ装置においては、第1のガス供給路53および第2のガス供給路54からは、いずれもアルゴンガスが供給される。そして、アルミニウム層の成膜時の温度は、第2のガス供給路54から供給されるガスによって制御されたウエハWの温度（基板温度）を意味する。

【0064】例えば、ウエハの温度制御は以下のように行われる。まず、ステージ52の温度は、予め、第2のアルミニウム層36bを形成するための温度（350～500℃）に設定されている。第1のアルミニウム層を形成する際には、第2のガス供給路54からのガスの供給はなく、基板温度はステージ52による加熱によって、徐々に上昇する。第2のアルミニウム層を形成する際には、第2のガス供給路54を介して加熱されたガスが供給されることによって基板温度は急激に上昇し、所定の温度で一定になるように制御される。

【0065】同一チャンバ内で第1のアルミニウム層36aおよび第2のアルミニウム層36bを連続的に成膜することにより、温度およびパワーの制御を厳密に行うことができ、従来よりも低温でかつ安定したアルミニウム層を効率よく形成することが可能となる。

【0066】前記第1のアルミニウム層36aの膜厚は、良好なステップカバレッジで連続層を形成することができること、並びに該アルミニウム層34より下層のバリア層および層間絶縁層20からのガス化成分の放出を抑制できることなどを考慮して、適正な範囲が選択され、例えば200～400 nmが望ましい。また、第2のアルミニウム層36bは、スルーホールの大きさ並びにそのアスペクト比などによって決定され、例えばアスペクト比が3程度で口径が0.5 μm以下のホールを埋めるためには、300～1000 nmの膜厚が必要である。

【0067】（反射防止膜の成膜）さらに、別のスパッタチャンバで、スパッタにより窒化チタンを堆積することにより、膜厚30～80 nmの反射防止膜37が形成される。その後、Cl₂とBCl₃のガスを主体とする異方性ドライエッチャーで前記バリア層、アルミニウム層36および反射防止膜37からなる堆積層を選択的にエッチングして、金属配線層40のパターニングを行う。

【0068】このようにして形成された金属配線層40では、アスペクト比が0.5～3で、口径が0.2～0.8 μmのスルーホール内において、ボイドを発生させることなく良好なステップカバレッジでアルミニウムが埋め込まれることが確認された。

【0069】（実験例）

(a) 透過型電子顕微鏡（TEM）による膜構造の解析
前述した方法によって図6および図7に示す構造のサンプルとしての半導体装置を形成し、コンタクト部を含む領域の断面の電子顕微鏡写真を撮影した。この実験で利用したサンプルは、以下のようにして形成されたものである。

【0070】まず、図1～図6に示すように、前述した方法で素子が形成されたシリコン基板11上に層間絶縁層20を形成した後、口径が0.3 μm、アスペクト比4のスルーホールを形成した。続いて、ターゲットとウエハとの距離を300 mmに設定した、超ロングスロースパッタ装置を用い、 4×10^{-2} Pa、250℃の条件下で、チタンを70 nmの膜厚で成膜した。このとき、スルーホールの底部には約25 nmのチタン層が形成され、スルーホール上端におけるチタン層のせり出しもほとんどなかった。次いで、400℃で20分間にわたり、100%の水素雰囲気中でウエハをアニール処理した。その後、ウエハを大気中に置いた。次いで、常圧の窒素雰囲気中で、800℃で30秒間にわたってランプアニールを行った。次いで、常圧のアルゴンガス雰囲気中で、460℃で脱ガス処理を行い、さらにウェッティ

ング層として100nmのチタン層を形成した。その後、ターゲットとウエハとの距離を300mmに設定したチャンバ内で、Al-Cu合金を常温で300nmの膜厚で形成した。続いて、ターゲットとウエハとの距離を170mmに設定したチャンバ内で、Al-Cu合金を300nmの膜厚で形成した。さらに、反射防止膜と

シリコン基板 (Si)

チタンシリサイド層 (TiSi₂)

第1の酸化チタン層 (TiO₂)

窒化チタン層 (Ti₂N)

第2の酸化チタン層 (TiO₂)

アルミニウム-チタン層 (Al₃Ti)

アルミニウム-銅層 (Al-Cu)

75nm

10nm

25nm

10nm

150nm

また、第1および第2の酸化チタン層は、アモルファス構造を有することが確認された。

【0073】ウェットング層を構成するチタンはアルミニウムと反応してAl₃Ti系の合金となり、この層上にアルミニウム (Al-Cu) 膜が形成される。そして、バリア層は、Al₃Ti系の合金とも反応せず、安定で優れたバリア性と導電性を備えていることが確認された。

【0074】(b) オージェ電子分光法による解析
図8は、オージェ電子分光法による測定結果を示す。図8の横軸はスパッタ時間 (分) を示し、縦軸はオージェ電子強度を示す。図8は、シリコン基板およびバリア層の領域を示している。図8から、シリコン基板とバリア層との境界領域に、およびバリア層の表面付近に、それぞれ酸素のピークP1およびP2が確認された。このことから、第1のシリコン酸化層および第2のシリコン酸化層の存在が確認された。また、酸素のピークP1およびP2の間に窒化チタンのピークP3があることが確認された。

【0075】(c) バリア性

本発明のサンプルと、バリア層に酸化シリコン層が存在しない他は本発明のサンプルと同じ比較用サンプルとについて、サンプルに熱処理を施すことによるリーク特性について調べた。リーク特性は、サンプルを種々の条件でアニール処理し、コンタクト部でリーク電流が発生したときのアニール条件を求めた。

【0076】その結果、本発明に係るサンプルでは、450℃で2時間にわたるアニール処理でもリーク電流の発生、およびアルミニウムがバリア層を突き抜けてシリコン基板に進入するスパイク現象の発生がなかった。これに対し、比較用サンプルにおいては、450℃で2時間のアニール処理でリーク電流の発生が確認された。

【0077】このことから、本発明のサンプルは比較用サンプルに比べ、バリア性が格段に優れていることが確認された。

【0078】このように、本発明の半導体装置によれば、バリア層に該バリア層を構成する金属酸化物層を含

して窒化チタン層を約30nmの膜厚で形成した。

【0071】このようにして得られたサンプルの透過型電子顕微鏡により得られた写真をもとに得られた、コンタクト部の各膜の組成および膜厚は、およそ以下のようであった。

【0072】

むことにより、バリア層の導電性を確保しながら優れたバリア性を有することが確認された。

【0079】上記実施の形態では、バリア層と基板との接合部がバリア層-シリコン層の場合を説明したが、この接合部はシリコン層の代わりにチタンシリサイド層やコバルトシリサイド層のようなシリサイド層であってもよい。また、バリア層を形成するための金属層は、スパッタ法の代わりにCVD法で形成されてもよい。また、配線層は、アルミニウム合金の代わりに例えば銅を用いてもよい。特に、銅がメッキされた配線層では、配線層とバリア層との高い密着性およびバリア層の高いバリア性が要求され、バリア層として十分な材料が少ないが、本発明によればこのような銅の配線層にも適用できる。

【0080】なお、上記実施の形態では、Nチャネル型MOS素子を含む半導体装置について説明したが、Pチャネル型あるいはCMOS型素子などを含む半導体装置にも適用することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法の一工程を模式的に示す断面図である。

【図2】図1に示す工程に引き続いて行なわれる半導体装置の製造方法の工程を模式的に示す断面図である。

【図3】図2に示す工程に引き続いて行なわれる半導体装置の製造方法の工程を模式的に示す断面図である。

【図4】図3に示す工程に引き続いて行なわれる半導体装置の製造方法の工程を模式的に示す断面図である。

【図5】図4に示す工程に引き続いて行なわれる半導体装置の製造方法の工程を模式的に示す断面図である。

【図6】図5に示す工程に引き続いて行なわれる半導体装置の製造方法の工程を模式的に示す断面図である。

【図7】本発明の半導体装置の要部を拡大して示す断面図である。

【図8】本発明の半導体装置のサンプルについて求めたSIMSの結果を示す図である。

【図9】(a)は、本発明の半導体の製造方法に用いられるスパッタ装置の一例を模式的に示す図であり、

(b)は、スパッタ装置のステージの一例を示す図であ

る。

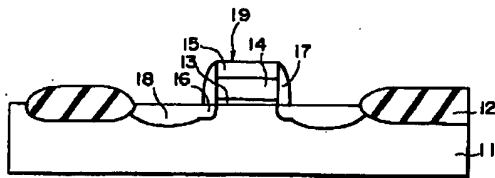
【符号の説明】

- 11 シリコン基板
- 12 フィールド絶縁層
- 13 ゲート酸化層
- 16 低濃度不純物層
- 18 高濃度不純物層
- 17 側壁スペーサ
- 19 ゲート電極
- 20 層間絶縁層

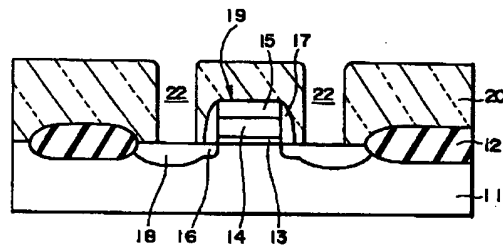
- 22 スルーホール
- 30 第1の金属酸化物層（酸化チタン層）
- 31 金属シリサイド層（チタンシリサイド層）
- 33 金属窒化物層（窒化チタン層）
- 34 第2の金属酸化物層（酸化チタン層）
- 36 アルミニウム層
- 36a 第1のアルミニウム層
- 36b 第2のアルミニウム層
- 40 金属配線層

10

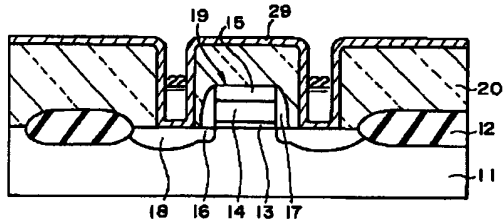
【図1】



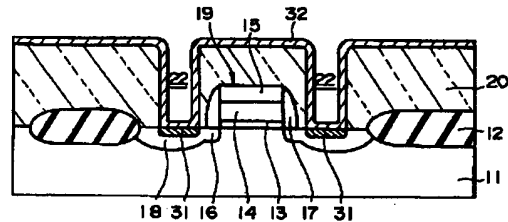
【図2】



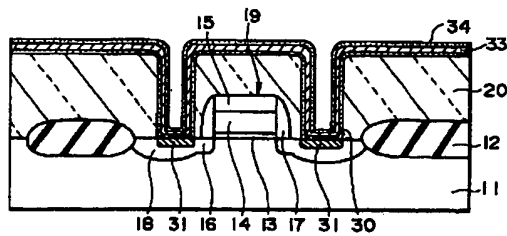
【図3】



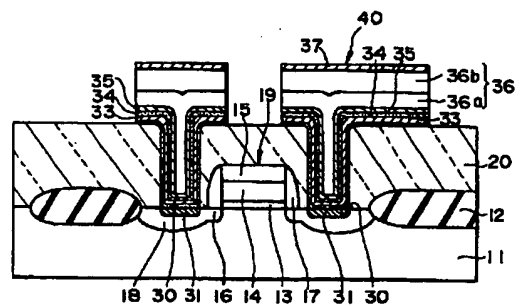
【図4】



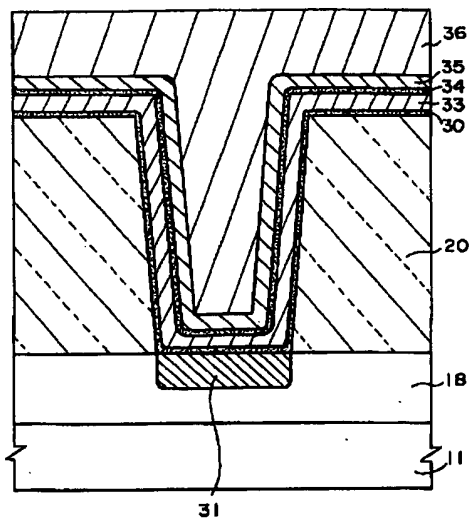
【図5】



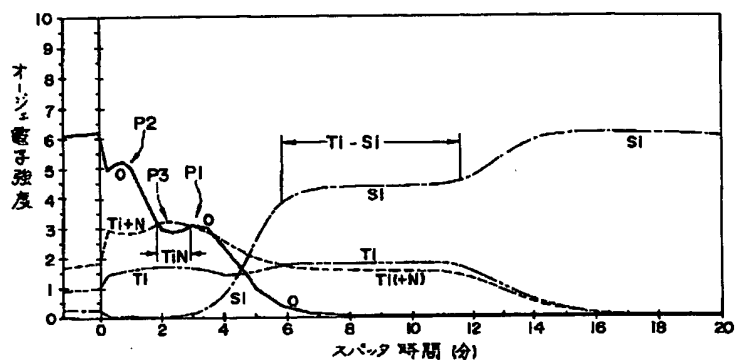
【図6】



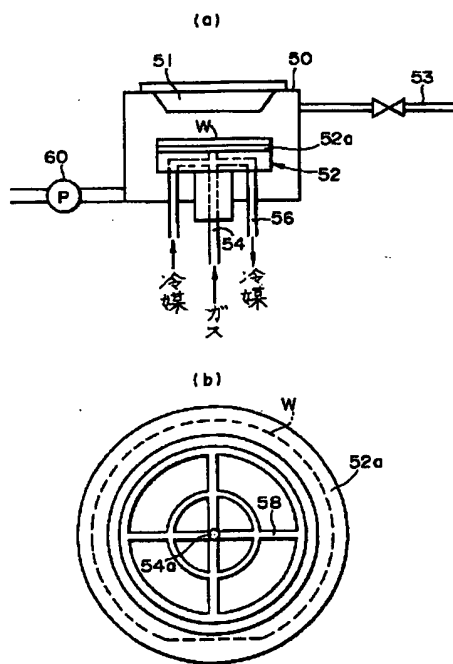
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 守屋 直弘
長野県諏訪市大和3丁目3番5号 セイコ
ーエブソン株式会社内

(72)発明者 鈴木 英司
長野県諏訪市大和3丁目3番5号 セイコ
ーエブソン株式会社内

F ターム(参考) 4M104 AA01 BB04 BB24 BB25 BB26
BB27 BB28 BB29 BB30 BB31
BB32 BB33 BB36 BB37 CC01
DD21 DD79 DD84 DD86 DD89
DD90 FF18 GG09 HH08 HH12
HH13
5F033 HH08 HH09 HH11 HH15 HH17
HH18 HH19 HH20 HH32 HH33
HH34 HH35 JJ01 JJ08 JJ09
JJ11 JJ15 JJ17 JJ18 JJ19
JJ20 JJ32 JJ33 JJ34 JJ35
KK01 KK25 KK26 KK27 KK28
KK29 KK30 LL07 MM08 MM13
NN06 NN07 PP06 PP15 PP18
PP21 QQ03 QQ08 QQ09 QQ10
QQ13 QQ16 QQ37 QQ70 QQ73
QQ74 QQ75 QQ78 QQ82 QQ85
QQ88 QQ89 QQ91 RR04 RR09
RR15 SS01 SS02 SS03 SS04
SS11 SS15 WW02 WW03 XX01
XX02 XX13